

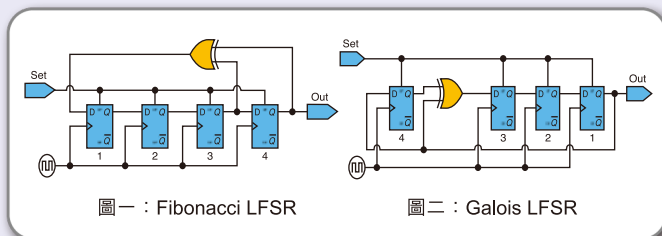
使用 Microchip 的 CIP (Code Independent Peripherals) 來實現線性回授移位暫存器 LFSR



■ 作者：吳建瑩

在各種應用及領域中，有非常多的機會去使用到線性回授移位暫存器 (Linear Feedback Shift Registers, LFSR)。例如近似的隨機亂數序列 PRBS (Pseudo Random Bit Sequence)、CRC (Cyclic Redundancy Check) 的計算、最長序列 (MLS) 的產生，另外還有擾頻器 (Scrambler) / 解擾器 (Descrambler) 等等。

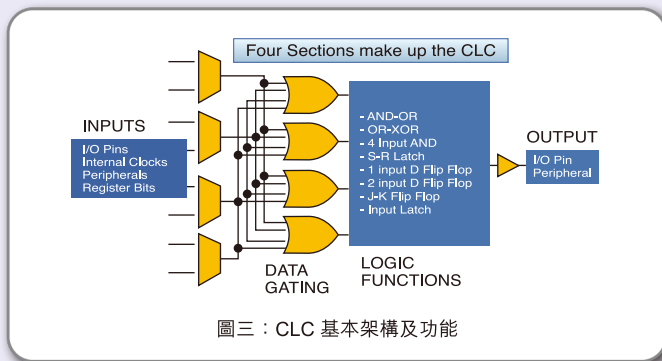
LFSR 主要實作分為二種架構，因抽頭回授的位元而有所不同，分別為 Fibonacci (圖一) 及 Galois (圖二)。一般使用上，或許會認為使用軟體 (Software) 的方式來實現即可。這是非常普遍的作法，並不需要大費周張去尋求特別的實現方法，但是卻忽略掉使用軟體方式來實現時，有可能因為中斷 (INT) 的發生、程式碼的分歧 (Branch, Jump) 而造成 LFSR 輸出信號的不穩定、以及發生跳動 (Jitter) 的現象。



圖一：Fibonacci LFSR

圖二：Galois LFSR

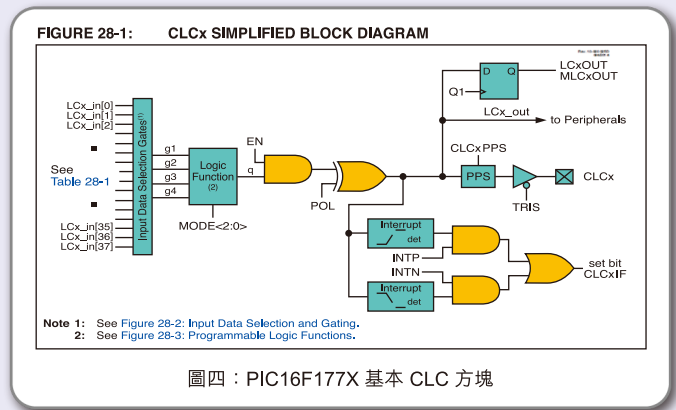
同時也因為是由軟體來控制 LFSR，所以也不能減少 CPU 的負載，也因為軟體程式必須一直執行，所以無法減低功耗。因此使用 Microchip CIP (Core Independent Peripherals) 所提供 CLC (Configurable Logic Cell) 再加上 CCP (PWM) with Timer 的功能，即可非常容易的用純硬體架構來實現 LFSR 功能，解決當應用場合非常注重高速信號、Jitter 及功耗的情況。



圖三：CLC 基本架構及功能

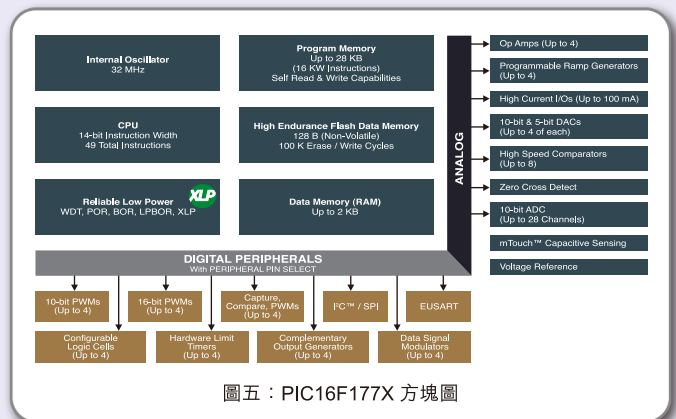
一個最基本的 Microchip CIP CLC 架構如圖三所示，可以把它想成是一個可設定的組合/時序邏輯的總成。CLC 的輸入可以是可選擇的多個 IO 腳位，也可以是其它週邊的輸出信號，

或是 Clock 信號。而這些不同的輸入信號可以經由被指定的組合/時序邏輯匯整處理後再來輸出到不同的 IO，或者也可以按照使用的設計再輸出到下一級的 CLC/Peripherals 去，同時也能產生 interrupt，讓 CPU 介入處理，如圖四所示。在這裡要特別強調的是，它是純硬體的動作！快速省電並且不需要 CPU 去執行軟體一直做介入，一旦設定完成 CLC 及 CCP 即可持續動作，CPU 即不用一直花費資源及功率在 CLC 及 CCP 的運作上，可以把 CPU 的資源用在其它需要的工作上。



圖四：PIC16F177X 基本 CLC 方塊

所以在 Microchip PIC16F177X 的 MCU 系列中，它的週邊設置 (圖五)，具有四個的 CLC 以及 CCP，因此可以設定成 4 bit 的 LFSR 再利用 CCP 模組產生的 PWM 信號來做 LFSR 的同頻信號。而 CLC 跟 CCP 的設置也非常的簡單，只要透過 MPLAB® X IDE with MCC 的使用者開發介面，以勾選或填值的方式來自動產生程式碼即可，因此對於非程式設計背景的使用者也非常方便切入進行相關的實作。



圖五：PIC16F177X 方塊圖

如需瞭解更多資訊請至網站 <http://www.microchip.com>



聯繫信息
Microchip 台灣分公司
電郵：rtc.taipei@microchip.com
技術支援專線：0800-717-718

聯絡電話：
• 新竹 (03) 577-8366
• 高雄 (07) 213-7830
• 台北 (02) 2508-8600

