

經濟部工業局 111 年

公私(產學)共育國內外高階人才計畫-先進封測潛力學程

高科大高階半導體及封測技術人才養成班

招生簡章

一、培訓目標

本課程著重於半導體與封測技術之養成，讓學員了解相關半導體技術，並進而充實先進封測知識之基礎。課程涵蓋半導體技術、封測技術，並安排封測實務實習(含封裝製程與失效分析之實務模組)，最後介紹先進半導體封測技術發展。本班預計招收 20 名學員，施以 204 小時的專業訓練，使學員有全面性及前瞻的視野，具備勝任半導體封測研發或製作之能力，並與相關企業合作媒合就業，增加半導體產業人力資源。

二、本培訓班特色

1. 完整產、學訓練：基礎及核心課程由大專院校相關領域教師授課，建立學員各項技術理論基礎，實務課程結合實機操作與業界師資授課，使學術知識能無縫接軌產業。
2. 先進設備提升視野：本班實務課程內容包含業界少有之高階設備「自動黏晶機」、「表面測厚儀」、「場放射電子顯微鏡(SEM)」等，使學員有全面性及前瞻的視野。

- 輔導就業：結訓成績合格者，於結訓後協助媒合至華泰電子、碩邦科技、日月光半導體等相關產業面試就業。
- 頒發結訓證書：於課程結束後，由經濟部工業局頒發結訓證書。

三、課程簡介

本課程分為基礎、核心、實務三大類，完成結訓後使學員有全面性及前瞻的視野，且具備勝任半導體封測研發或製作之能力。

四、培訓班別

班別	上課日期	預計上課時間
高科大高階半導體及封測技術人才養成班	111/6/27-111/8/11 (約上課7週)	週一至週五(上午9:00~12:00 下午1:00~4:00)

五、上課地點

國立高雄科技大學-建工校區(高雄市三民區建工路 415 號)

- 學科課程：雙科館 B05 教室(暫定)
- 實務課程：多功能實習工廠 3F

六、報名日期

即日起至 111 年 6 月 17 日止，10 人以上開班。

(電話諮詢時間：週一至週五上午 9:30 至下午 5:30)

七、報名資格

- 身分：應屆畢業生、待業者或企業新招募人員(獲錄取通知者即算新招募人員，須經由企業同意)。
- 學歷：經政府核准立案之國內外公私立大專院校畢業(理工相關科系者尤佳)。
- 有兵役義務者須服畢兵役(含國民兵役)或免役者。
- 學員參訓須以結訓後直接就業為目標，無就業意願或有升學計畫者，請勿報

名。

八、報名方式

線上報名網址：<https://www.surveycake.com/s/Nda3x>

洽詢方式：E-mail：wzoffice01@nkust.edu.tw/(07)381-4526 分機 13003 陳小姐

九、訓練費用

政府全額補助，學員需負擔 3,000 元押金，於結訓後憑單據取回。

十、押金繳費方式

現金收費【收到合格通知者，請於 6/27 開課前或當天，親洽國立高雄科技大學（建工校區）電機與資訊學院 雙科館 206A 陳小姐辦理】。

十一、退費規定

本班最低開課人數 10 人，報名截止未達開課人將通知憑單據退還押金；開課 3 天內退訓退押金 50%，第 4 天起後恕不退費；學員出席率於結訓時結算未達 70%，恕不退還押金。

十二、甄選方式

本培訓班預計招收 20 名學員，由開班單位依報名資料進行審核，合格者將個別通知，額滿為止。（未合格者亦會個別通知）

十三、結業證書

成績合格標準為學員出席率達 70%且各科測驗成績平均達 60 分者，由工業局發給完成學程之結業證書，未達完成學程結業標準者，由開班單位發給上課證明。

十四、就業輔導

結訓成績合格者，將建立學員名冊推薦給有需求之企業，進行雙方媒合工作。

十五、高科大高階半導體及封測技術人才養成班 課程大綱

編號	課程名稱	學科時數	實務時數	課程大綱
1.	半導體製程導論	12		1. IC 設計、2. 晶圓製造、3. 晶圓處理製程、4. 晶圓針測、5. 封裝製程
2.	機電整合概論	12		1. 產業物料搬運自動化設備介紹、2. 機電整合系統組成介紹、3. 產業致動器應用介紹、4. 產業感測器應用介紹、5. 產業可程式控制器應用介紹
3.	半導體元件設計與模擬	18		1. 基本原理和先進設計、2. 半導體元件模擬實驗設計及整合、3. 半導體元件數值分析原理、4. 半導體元件之傳輸物理模型、5. 半導體元件物性模擬與解讀、6. 關鍵性的半導體元件設計準則、7. CMOS 製程技術模擬設計實例。
4.	IC 封裝製程概論	12		1. 封裝製程、2. 電子封裝型態、3. 半導體測試製程
5.	化合物半導體材料與分析	9		1. 化合物半導體材料晶圓檢測與蝕刻技術、2. X 光吸收光譜分析運用、3. 電子繞射顯微技術
6.	半導體元件概論	6		1. 半導體材料、2. p-n 接面二極體、3. 電晶體結構與 I-V 特性、4. 金氧半場效電晶體、5. 光電元件
7.	封裝及測試專業英文	6		1. 半導體製造與測試常見的英文專有名詞、2. 縮寫名詞與商用縮寫、3. 技術報告撰寫技巧
8.	人工智慧應用於 IC 封裝之錯誤分析	10		針對人工智慧應用於先進 IC 封裝技術之錯誤分析與改良設計概念進行討論，並對焊錫接點位置應力釋與電子元件訊號扇出能力設計進行分析討論。
9.	人工智慧應用於 IC 封裝之自動光學檢測	10		針對人工智慧應用於先進 IC 封裝技術之自動光學檢測進行討論，封裝結構內金屬導線、以及半導體元件中後段製程導線進行自動光學檢測與可靠度評估，討論先進封裝設計對其內埋元件中後段製程導線電遷移破壞行為可能產生之影響。
10.	擴散／薄膜／黃光／蝕刻製程	24		介紹半導體製程中主要的微影製程、蝕刻、黃光、薄膜製程技術。微影製程是利用曝光和顯影在光阻層上刻畫幾何圖形結構，然後通過蝕刻製程將光罩上的圖形轉移刻到所在基板上。 蝕刻製程會移除晶圓表面的特定區域，以沉積其它材料。「乾式」蝕刻是用於電路清晰度步驟。晶圓上會塗上一層光阻劑或硬罩（通常是氧化物或氮化物），然後在光刻時將電路圖案曝光在晶圓上。 隨著製程技術快速進，已達到極大型積體電路階段並且進入奈米等級。薄膜製程為一個極為要的關鍵步驟，其主要用途為低阻閘電極、元件間連線、導體(線)接觸、擴散障礙層。依據沈積過程中，可以區分為物理氣相沈積及化學氣相沈積。隨著沈積技術及沈積參數差異，所形成薄膜的組織，可分為「單晶」、「多晶」、或「非結晶」的結構。
11.	SIP(3D 雙面／PoP 模組, EMI Shielding 技術)	10		封裝製程技術是要將晶片整合在一起，大多使用系統單封裝(System in a Package, SiP) 技術，像是 PiP 封裝、PoP 封裝等。然而，隨著智慧手機、AIoT 等應用，不僅需要更高的性能，還要保持小體積、低功耗，在這樣的情況下，必須想辦法將更多的晶片堆積起來使體積再縮小，因此，目前封裝技術除了原有的 SiP 之外，也紛紛朝向立體封裝技術發展。而立體封裝較為人熟知的是 2.5D 與 3D 封裝，主要的概念是將處理器、記憶體或是其他的晶片，並列排在矽中介板 (Silicon Interposer) 上，先經由微凸塊 (Micro Bump) 連結，讓矽中介板之內金屬線可連接不同晶片的電子訊號；接著再透過矽穿孔 (TSV) 來連結下方的金屬凸塊 (Solder Bump)，再經由導線載板連結外部金屬球，實現晶片、晶片與封裝基板之間更緊密的互連。
12.	IOT 應用於 IC 封裝製程參數之蒐集	10		物聯網帶來大數據與雲端運算，影響了工業發展。大數據就是人工或機器數據的累積、或是物聯網裝置上產生的即時資訊，形成巨量資料，IOT 應用於 IC 封裝製程參數之蒐集是要在 IC 封裝製程參數找出關聯性，讓自動化生產系統「快速學習」累積經驗，在未來做出精準的預測或決策。
13.	封裝實務		14	自動黏晶機:1. 覆晶封裝技術、晶圓尺度封裝技術、系統 IC 封裝技術 2. 實際操作
14.	先進封裝製程技術		12	interposer 封裝、前瞻記憶體封裝、2.5D Fan-in 及 Fan-out 封裝，與工廠參訪
15.	材料分析與檢測		12	1. 材料科學、2. 材料分析設備 3. SEM、XPS、EDS、XRD、TEM 等案例說明
16.	失效模式實務(電性、表面測厚儀、SEM)		9	1. 電性失效模式 2. 表面測厚儀操作 3. SEM 操作
17.	可變電阻式記憶體整合技術		9	1. 記憶體原理 2. 電阻式記憶體製程 3. 電阻式記憶體原理 4. 記憶體特性與可靠度量測
18.	Computing-in-memory (CIM)設計使用		9	1. CIM 計算架構 2. 人工智慧 3. 大腦架構 4. 類比記憶體原理 5. 類比記憶體特性 6. CIM 特性的 python 模擬
合計		139	65	

*請確認您已詳閱各注意事項再進行報名手續，報名即表示同意遵守本中心一切規定。